

**BEST AVAILABLE COPY
EUROPEAN PATENT OFFICE**

Patent Abstracts of Japan

PUBLICATION NUMBER : 11074208
PUBLICATION DATE : 16-03-99

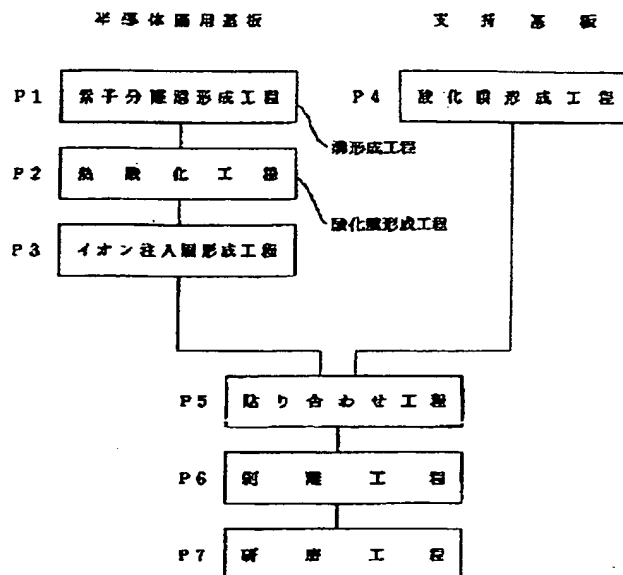
APPLICATION DATE : 27-08-97
APPLICATION NUMBER : 09231188

APPLICANT : DENSO CORP;

INVENTOR : OSHIMA HISAZUMI;

INT.CL. : H01L 21/265 H01L 21/762 H01L 27/12

TITLE : MANUFACTURE OF
SEMICONDUCTOR SUBSTRATE



ABSTRACT : PROBLEM TO BE SOLVED: To form a semiconductor substrate having a thick semiconductor layer without the use of an ion implantation apparatus of high energy output.

SOLUTION: An element isolation groove as a separation groove is formed on a semiconductor layer substrate by etching (P1), and the surface thereof is thermally oxidized to form an oxide film (P2). Ions are implanted to the bottom of the element isolation groove, thus selectively forming an ion implantation layer (P3). The substrate is bonded (P5) with a supporting substrate having an oxide film formed thereon (P4). By carrying out heat treatment, peeling is carried out (P6). In this case, when defects are concentrated at the ion implantation layer portion for generating peeling-off, a peeling is induced also in other regions within the plane where the ion implantation layer is not formed, and that entire surface is peeled. The peeled surface is smoothed by polishing, and a semiconductor substrate is provided. The semiconductor layer of a large thickness can be formed, and damages due to ion implantation can be eliminated.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-74208

(43)公開日 平成11年(1999) 3月16日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 21/265
21/762
27/12H 0 1 L 21/265
27/12
21/76Q
B
F
D

審査請求 未請求 請求項の数7 O L (全 13 頁)

(21)出願番号 特願平9-231188

(22)出願日 平成9年(1997) 8月27日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

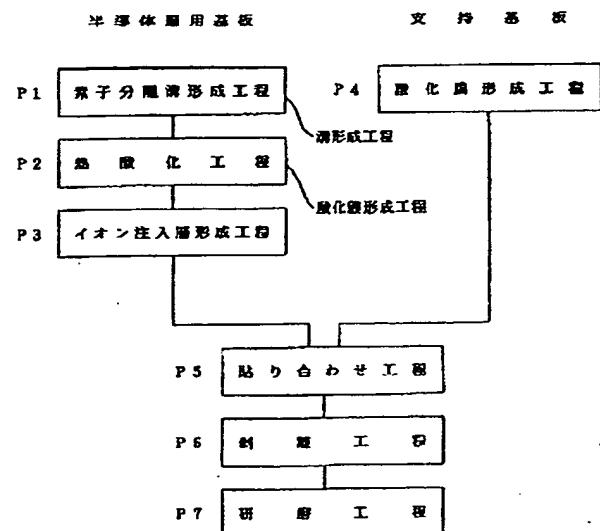
(72)発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74)代理人 弁理士 佐藤 強

(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【課題】 高エネルギー出力のイオン注入装置を用いず
に厚膜の半導体層を備えた半導体基板を形成する。【解決手段】 半導体層用基板にエッチングにより剥離
用溝としての素子分離溝を形成し(P1)、その表面を
熱酸化して酸化膜を形成する(P2)。素子分離溝の底
面にイオン注入をして選択的にイオン注入層を形成する
(P3)。酸化膜を形成(P4)した支持基板と貼り合
わせて(P5)、熱処理を行なうことにより剥離を行な
う(P6)。このとき、イオン注入層部分に欠陥が集中
して剥離が起こると、その面内のイオン注入層が形成さ
れていない他の領域においても剥離が誘発されて全体が
その面で剥離される。剥離面を研磨により平滑化して半
導体基板を得る。半導体層の膜厚を厚く形成でき、イオ
ン注入によるダメージを無くすることができる。

【特許請求の範囲】

【請求項1】 支持基板(2)上に絶縁状態で素子形成用の半導体層(4)を設けてなる半導体基板(1、10)の製造方法において、

前記半導体層(4)を形成するための半導体層用基板(6)に対してその半導体層(4)の膜厚に対応した深さ寸法の剥離用溝(7)を形成する溝形成工程(P1、S2)と、

前記半導体層用基板(6)に形成した前記剥離用溝(7)の内底面部に選択的にイオン注入を行なって剥離用のイオン注入層(9)を形成するイオン注入層形成工程(P3、S3)と、

前記イオン注入層(9)を形成した前記半導体層用基板(6)に前記支持基板(2)を貼り合わせる貼り合わせ工程(P5、S6)と、

貼り合わせた前記半導体層用基板(6)および前記支持基板(2)を熱処理して前記イオン注入層(9)部分を含む面で剥離することにより前記支持基板(2)上に前記半導体層(4)を形成する剥離工程(P6、S7)とを含んでなる半導体基板の製造方法。

【請求項2】 請求項1に記載の半導体基板の製造方法において、

前記溝形成工程(P1、S2)においては、前記半導体層(4)を素子形成領域毎に分離するための素子分離溝(7)を前記剥離用溝として形成することを特徴とする半導体基板の製造方法。

【請求項3】 請求項1または2に記載の半導体基板の製造方法において、

前記イオン注入層形成工程(P3)に先だって、前記半導体層用基板(6)を熱酸化することにより表面に酸化膜(5)を形成する酸化膜形成工程(P2)を設けたことを特徴とする半導体基板の製造方法。

【請求項4】 請求項1または2に記載の半導体基板の製造方法において、

前記溝形成工程(S2)に先だって実施され、前記剥離用溝(7)の形成位置に沿ってその剥離用溝(7)よりも狭いトレンチ(11)を形成するトレンチ形成工程(S1)を設け、

このトレンチ形成工程(S1)および次の溝形成工程(S2)において形成する前記トレンチ(11)および剥離用溝(7)は、前記貼り合わせ工程(S6)にて前記支持基板(2)と貼り合わせた状態では内部が密閉された状態となるように形成され、

前記イオン注入層形成工程(S3)においては、前記剥離用溝(7)の底面部からイオン注入することにより形成するイオン注入層(9)の深さを前記溝形成工程(S2)の後の前記トレンチ(11)の底面の深さよりも浅い位置に形成することを特徴とする半導体基板の製造方法。

【請求項5】 請求項4に記載の半導体基板の製造方法

において、

前記イオン注入層形成工程(S3)は、前記溝形成工程(S2)において前記剥離用溝(7)を形成したときのマスク部材(8)を再利用して前記剥離用溝(7)の底面部に選択的にイオン注入を行なうことを特徴とする半導体基板の製造方法。

【請求項6】 請求項1ないし5のいずれかに記載の半導体基板の製造方法において、

前記剥離工程(P6、S7)の終了後に、前記支持基板(2)上に剥離形成された前記半導体層(4)の表面を研磨することにより前記半導体層(4)を前記剥離用溝(7)により分離された状態に形成する研磨工程(P7、S8)を設けたことを特徴とする半導体基板の製造方法。

【請求項7】 請求項1ないし6のいずれかに記載の半導体基板の製造方法において、

前記貼り合わせ工程(P5、S6)に先だって、前記支持基板(2)として用いる半導体基板(2)の表面に絶縁用の酸化膜(3)を形成する酸化膜形成工程(P4、S5)を設けたことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、支持基板上に絶縁状態で素子形成用の半導体層を設けてなる半導体基板の製造方法に関する。

【0002】

【発明が解決しようとする課題】支持基板上に絶縁状態で素子形成用の単結晶の半導体層を設けてなる半導体基板としては、例えば、半導体層としてシリコン単結晶を設ける構成のSOI(Silicon On Insulator)基板がある。これは、支持基板となるシリコン基板上に酸化膜が形成され、その上にシリコン単結晶膜が形成された構造を有するもので、このような半導体基板を用いることにより、基板との絶縁分離工程を別途に実施する必要がなくなり、分離性能が良く、高い集積度でシリコン単結晶膜に素子を形成して集積回路を作り込むことができるものである。

【0003】この場合、SOI基板に設けているシリコン単結晶膜の製造方法としては、従来より種々の方法があるが、その中で以下の3段階の工程を経て製造するようにした半導体薄膜製造技術が特開平5-211128に開示されている。以下に、その製造方法について概略的に説明する。

【0004】まず、第1段階として、単結晶シリコン基板中へ水素ガスもしくは希ガスをイオン化して所定の注入エネルギーで加速して注入することにより、単結晶シリコン基板の表面から所定深さに注入イオンが分布するようにしてイオン注入領域を形成する。次に、第2段階として、この単結晶シリコン基板のイオン注入をした側

の面に、少なくとも1つの剛性材料から形成された支持基板を貼り合わせ法などにより結合させる。この場合の支持基板は半導体製の基板を用いることが可能で最終的にSOI基板を形成させるという点では、酸化膜のような絶縁膜を成膜させた状態としておくことが望ましい。

【0005】次に、第3段階として、単結晶シリコン基板および支持基板を結合させた状態で熱処理を施すことにより、イオン注入領域に形成されるマイクロボイド（微小気泡）部分を境界として単結晶シリコン基板と薄膜部分が分離するように剥離し、支持基板上に絶縁膜を介してシリコン単結晶膜が接着された構造のSOI基板が形成される。

【0006】実際には、この剥離された面には数nm程度の凹凸が存在するため、この剥離面に研磨処理およびエッチング処理などを施してシリコン単結晶膜を平坦に仕上げると共に所定膜厚（例えば0.1 μ m）に調整してSOI基板として形成されるものである。

【0007】ところで、上述した技術においては、単結晶シリコン基板内に形成したイオン注入領域部分で欠陥層を形成して剥離を行なう原理であるから、形成しようとする単結晶シリコン膜の厚さ寸法は、イオン注入領域の深さを制御するためのイオン注入エネルギーのレベルにより設定することになる。しかし、この場合において、例えば単結晶シリコン膜を10 μ m程度の比較的厚い層として形成する場合には、注入すべき水素イオンの加速エネルギーとしては、1MeVを超える高レベルの加速エネルギーが必要となる。

【0008】したがって、現実的にはこのようなイオン注入を行うには、高エネルギー出力のイオン注入装置が必要となり装置が高価なものになると共に、イオン注入処理を行うのに大電力が必要になるためランニングコストが高くなるなどの問題があり、汎用的な技術としての成立性に問題が生じてくる。

【0009】また、上述の製造方法では、イオン注入工程において単結晶シリコン基板の表面にダメージが発生したり、ロックオン現象による酸素や重金属の混入が発生するので、このイオン注入工程を経てイオン注入層の部分で剥離してその上部に形成されている部分をシリコン単結晶膜として利用する場合に、素子形成用の単結晶膜としての結晶品質が劣化するという不具合がある。

【0010】本発明は、上記事情に鑑みてなされたもので、その目的は、厚膜の半導体層を備えた半導体基板を形成する際に、半導体層の膜厚を厚くするために高エネルギー出力のイオン注入装置を用いる必要がなく、安価で簡単に剥離用の欠陥層を形成することができると共に、半導体層のダメージを極力低減することができるようにした半導体基板の製造方法を提供することにある。

【0011】

【課題を解決するための手段】請求項1の発明によれば、溝形成工程において、半導体層用基板に対して、後

工程で形成しようとする半導体層の膜厚に対応した深さ寸法に剥離用溝を形成すし、次のイオン注入層形成工程で、その剥離用溝の内底面部に選択的にイオン注入を行なって剥離用のイオン注入層を形成する。これにより、半導体層用基板の表面には、半導体層として利用する部分にはイオン注入層は形成されず、剥離用溝の底面部から所定深さにイオン注入層が形成されるようになり、全体としてみると、半導体層用基板に部分的にイオン注入層が設けられることになる。

【0012】この後、貼り合わせ工程において、上述のような工程を経て得られた半導体層用基板に支持基板を貼り合わせて密着状態とし、続く剥離工程において、熱処理を行なうことによりイオン注入層に欠陥層を集中させて剥離させることにより、そのイオン注入層を含む面内全体で剥離を起こして、支持基板側に半導体層を接着した状態に形成する。

【0013】これにより、比較的膜厚の厚い半導体層を形成する場合でも、その膜厚を剥離用溝の深さ寸法により設定することができることから、イオン注入層を深い位置に形成するために高エネルギー出力のイオン注入装置を用いる必要がなく、剥離用溝の底面部から少し内部に位置する深さに選択的にイオン注入を行なうことで達成できるようになる。

【0014】また、支持基板上に形成しようとする半導体層部分にはイオン注入層を形成しないで、上述のように剥離用溝の内底面部分にのみ選択的にイオン注入を行なうので、イオン注入を行なうことにより半導体層にダメージを与えたり重金属による汚染が残存する不具合を回避することができるようになる。

【0015】請求項2の発明によれば、溝形成工程において、半導体層を素子形成領域毎に分離するための素子分離溝を剥離用溝として形成するので、素子形成工程を行なうに当たって実質的に必要となる素子分離領域を兼ねた部分として剥離用溝を設けることができ、剥離のために占有する面積をなくしてチップ面積の大型化を招くことがない。

【0016】請求項3の発明によれば、イオン注入層形成工程に先だって実施する酸化膜形成工程により、半導体層用基板を熱酸化して表面に酸化膜を形成するので、最終的に剥離工程を経て形成される半導体層の周囲の側壁部分に酸化膜を形成した状態として得ることができると共に、剥離後の半導体層の表面を研磨する際においては、酸化膜が研磨ストッパとして利用することができるようになる。

【0017】請求項4の発明によれば、溝形成工程に先だって実施するトレンチ形成工程により、剥離用溝の形成位置にトレンチを形成しておくので、剥離用溝が形成された状態ではその剥離用溝よりも深い位置にトレンチが形成されるようになり、イオン注入層形成工程を実施したときに形成されるイオン注入層が剥離用溝の底面か

ら所定深さでトレンチの底面よりも浅い位置に形成されるイオン注入層と、これとは別にトレンチの底面から所定深さに形成されるイオン注入層とが形成される。

【0018】この後、貼り合わせ工程にて半導体層用基板と支持基板とを貼り合わせると、トレンチおよび剥離用溝とは両基板により内部に密閉された状態になる。そして、剥離工程が実施されると、熱処理によって全体の温度が上昇したときに、密閉された状態のトレンチおよび剥離用溝内の気体が膨張して内部圧力が高くなる。

【0019】この内部圧力の作用により、半導体層用基板の半導体層部分を残してイオン注入層部分において剥離するときに、トレンチの底面部分を剥離する方向に力を与えるので、剥離が助長されて確実にイオン注入層を含む面で剥離することができるようになる。

【0020】請求項5の発明によれば、イオン注入層形成工程においては、溝形成工程で剥離用溝を形成したときに使用したマスク部材を再利用して剥離用溝の底面部分に選択的にイオン注入を行なうので、イオン注入層形成工程のためにパターニングを行なう必要がなくなり、工程を簡単にすることができる。

【0021】請求項6の発明によれば、剥離工程の終了後に研磨工程を実施することにより、支持基板上に剥離形成された半導体層の表面を研磨して半導体層を剥離用溝により分離された状態に形成することができると共に、半導体層の表面を素子形成に適した平滑な状態に仕上げることができる。

【0022】

【発明の実施の形態】

(第1の実施形態) 以下、本発明の第1の実施形態について図1ないし図3を参照しながら説明する。図3

(c)には本発明の製造方法により製造された半導体基板であるSOI基板1の断面を模式的に示している。支持基板としての単結晶シリコン基板2上に絶縁膜としてのシリコン酸化膜3が形成され、この上に島状に絶縁分離された状態に半導体層としての単結晶シリコン層4が形成されている。単結晶シリコン層4には、側壁および底面部分に酸化膜5が形成されている。なお、上述の構成のSOI基板1は、この後、必要に応じて隣接する単結晶シリコン層4の間に介在する凹状の領域を酸化膜などの絶縁膜または多結晶シリコンなどを埋め込むことにより、全体の表面を平坦な状態に形成することが行なわれる。

【0023】次に、上記構成のSOI基板1の製造方法について図1の概略的な製造工程の説明図を参照して説明する。まず、少なくとも一方の面が鏡面研磨された半導体層用基板としての単結晶シリコン基板6(図2

(a)参照)に対して、素子分離用溝形成工程P1において、剥離用溝としての機能を兼ねる素子分離溝7を形成する(同図(b)参照)。素子分離溝7の形成には、フォトリソグラフィ処理によりパターニングした面をド

ライエッチング等の方法を用いて所定深さまでエッチングすることにより行なう。

【0024】このとき、素子分離溝7は、例えば、幅寸法が0.5~5μm程度で、深さ寸法が0.5~30μm程度に設定される。そして、この深さ寸法は、後述するように、剥離工程を実施することにより剥離して得る半導体層である単結晶シリコン層4の膜厚を設定するのであるから、その仕様に応じた深さ寸法となるように設定する。次に、熱酸化工程P2において、単結晶シリコン基板6を熱酸化処理することにより、その表面および素子分離溝7内の底面および側壁部分にも酸化膜5を形成する(同図(c)参照)。

【0025】続いて、イオン注入層形成工程P3において、フォトリソグラフィ処理によってフォトレジスト8をパターニングして素子分離溝7部分のみを露出させるようにする。この後、フォトレジスト8をマスクとしてイオン注入を行なう。これにより、素子分離溝7の底面部分のみに所定深さ寸法に選択的にイオン注入層9が形成されるようになる(同図(d)参照)。この後、単結晶シリコン基板6の表面に残るフォトレジスト8を除去する。

【0026】上述のようにして形成された半導体層用基板としての単結晶シリコン基板6に貼り合わせる基板である支持基板としての単結晶シリコン基板2に対して、酸化膜形成工程P4において、表面に酸化膜3を形成する。なお、ここでは、支持基板側の単結晶シリコン基板2に対して酸化膜3を設ける構成として酸化膜形成工程P4を設けているが、酸化膜3を設けない状態で貼り合わせ工程P5に移行することも可能である。

【0027】続いて、貼り合わせ工程P5においては、単結晶シリコン基板2の酸化膜3を形成した側の面と単結晶シリコン基板6の素子分離溝7を形成した側の面とを貼り合わせる(図3(a)参照)。この場合、貼り合わせに際しては、両方の単結晶シリコン基板2、6のそれぞれを、親水化処理として、例えば、 H_2SO_4 と H_2O_2 を4対1で混合した処理液で洗浄すると共に純水で洗浄し、この後スピン乾燥により表面に吸着する水分量を制御した状態に処理を行ない、この状態で両者を貼り合わせる。これにより、単結晶シリコン基板2、6の両者はそれぞれの表面に形成されたシラノール基および表面に吸着した水分子の水素結合によって接着されるようになる。

【0028】この後、剥離工程P6により、接着した単結晶シリコン基板2、6を、真空雰囲気あるいは酸素雰囲気中で熱処理を行なう。この熱処理では、例えば、400℃~600℃の範囲であって500℃程度で行なう第1の熱処理と1000℃以上であって1100℃程度で行なう第2の熱処理とを順次行なう方法と、連続的に温度を上昇させて一度に行なう方法とがある。

【0029】そして、この熱処理を行なうことによっ

て、両基板2、6の接着面では脱水縮合反応が生じて、接着状態をより強固な状態とすることができる。また、水素のイオン注入層9においては、この熱処理によって欠陥が局所的に集中してくる。このとき、あらかじめ設定されている条件によって、貼り合わせた単結晶シリコン基板2、6の表面全体に対して欠陥層が占める面積比率が所定以上あるので、この欠陥層部分が剥離することによってその面内で全面に剥離するようになる(同図(b)参照)。

【0030】これによって、単結晶シリコン基板2の表面に酸化膜3、5を介した状態で単結晶シリコン層4を形成することができる。そして、このときの単結晶シリコン層4の膜厚は、イオン注入層9が形成された部分の面で剥離されていることから、ほぼ素子分離溝7の深さ寸法に相当する厚さに形成されている。また、この単結晶シリコン層4には、イオン注入層9が形成されていないので、イオン注入により発生するダメージの悪影響を受けないものとすることができる。

【0031】なお、上述の面積比率は、イオン注入層9のドーズ量や幅寸法、深さ寸法あるいは基板のサイズなどの各種条件によって異なることが予想されるが、このイオン注入層9を形成するための素子分離溝7が占める領域は実質的に素子形成が行えないので、剥離が確実に行なえる程度で且つ最小限の面積とすることが好ましい。

【0032】この後、研磨工程P7において、単結晶シリコン層4の表面である剥離面を研磨することにより表面の面粗度を低減すると共に、素子分離溝7が露出する状態となるように研磨する。これによって、同図(c)に示すような半導体基板1を得ることができる。

【0033】このような本実施形態によれば、剥離により形成する単結晶シリコン層4の膜厚を1 μ m以上の厚いものとしたSOI基板1を形成するために、素子分離溝7の底面部から膜厚に無関係に低い加速電圧で浅い深さにイオン注入層9を形成することで成し得るので、イオン注入の加速エネルギーをMeVオーダーの高エネルギー注入が可能な装置を用いる必要がなくなる。

【0034】また、本実施形態によれば、イオン注入層9を素子分離溝7の底面部に選択的に形成した状態として剥離時には全面を剥離するので、単結晶シリコン基板2の表面に形成される単結晶シリコン層4にはイオン注入により水素イオンを注入することがなく、イオン注入に起因する欠陥や金属汚染のない品質の良いものを得ることができる。

【0035】(第2の実施形態)図4ないし図6は、本発明の第2の実施形態を示すもので、以下、第1の実施形態と異なる部分について説明する。なお、この第2の実施形態においては、最終的に形成されるSOI基板10としては第1の実施形態におけるSOI基板1とほぼ同じものであるが、その製造工程において図4にも示す

ように、半導体層用基板としての単結晶シリコン基板6に対する加工工程に異なる工程が設けられている。

【0036】まず、前述同様に、少なくとも一方の面が鏡面研磨された半導体層用基板としての単結晶シリコン基板6に対して、トレンチ形成工程S1において、トレンチ11を形成する(図5(a)参照)。このトレンチ11の形成には、フォトリソグラフィ処理によりパターンニングした面をドライエッチング等の方法により形成する。トレンチ11は、この後形成する素子分離溝7の中央部に位置するようにパターンニングされるもので、例えば、幅寸法が0.5~2 μ m程度で、深さ寸法が0.5~30 μ m程度に形成される。

【0037】続いて、溝形成工程としての素子分離溝形成工程S2においては、上述したように、トレンチ11を含むようにして素子分離溝7を形成する。この場合、素子分離溝7に対して、トレンチ11は、幅寸法は狭く且つ深さ寸法は深くなるように設定されている。また、素子分離溝7およびこのトレンチ11は、単結晶シリコン基板6を構成するウエハの端部からは開口しないように形成されており、これによって貼り合わせ工程S6を実施した状態では密閉状態とされる。

【0038】次に、イオン注入層形成工程S3においては、素子分離溝7を形成する際に用いたフォトレジスト8を再度マスク部材として用いて水素のイオン注入を行なう。これにより、素子分離溝7の底面から所定深さ寸法にイオン注入層9が形成されると共に、トレンチ11の底面から同寸法にイオン注入層9aが形成される(同図(b)参照)。この場合、イオン注入層9の形成深さは、トレンチ11の底面よりも浅い位置となるように設定する。この後、単結晶シリコン基板6の表面のフォトレジスト8を除去する。

【0039】続いて、熱酸化工程S4において、単結晶シリコン基板6を熱酸化処理することにより、その表面および素子分離溝7、トレンチ11内の底面および側壁部分にも酸化膜5を形成する(同図(d)参照)。このとき、熱処理によってイオン注入層9、9aに欠陥が集中するようになるが、この段階では剥離現象が起こることがない。

【0040】このことは、イオン注入層9、9aが素子分離溝7、トレンチ11の底面部のみに形成されていることつまり基板全体にイオン注入層が形成されていないことにより、剥離現象を起こさないようにすることができるためである。なお、この段階で剥離現象を起こさないようにするためには、イオン注入層9、9aへのイオン注入量(ドーズ量)を小さく設定することでも成し得る。

【0041】次に、支持基板としての単結晶シリコン基板2に酸化膜3を形成する酸化膜形成工程S5を経ると共に、貼り合わせ工程S6により、単結晶シリコン基板2および6を貼り合わせる処理を行なう(図6(a)参

照)と、前述したように素子分離溝7およびトレンチ11は、ウェハの端部に開口しないように形成してあることから、外部と隔絶された密閉状態となる。

【0042】続く剥離工程S7では、前述同様にして熱処理を行なうと、この場合においては、素子分離溝7、トレンチ11内が密閉空間Aとして形成されているので、内部に存在する空気などのガスが膨張して内部圧力が高くなる。これにより、剥離現象が発生する状態で、剥離を起こす方向にその内部圧力が作用して剥離現象を助長するようになる。このとき、貼り合わせにより強固に接合されている部分は単結晶シリコン基板2側に残り、イオン注入層9が形成された領域の剥離現象が起こっている面内では、その剥離現象によって連鎖的に剥離現象が起こるようになる(同図(b)参照)。

【0043】この結果、単結晶シリコン基板2の表面に単結晶シリコン層4を剥離形成することができる。この後、研磨工程S8を経て単結晶シリコン層4の表面である剥離面を研磨することにより表面の面粗度を低減すると共に、素子分離溝7が露出する状態となるように研磨する。これによって、同図(c)に示すような半導体基板10を得ることができる。なお、この第2の実施形態においても、素子分離溝7の面積比率は、剥離が確実に行なえる程度で且つ最小限の面積とすることが好ましい。

【0044】このような第2の実施形態によれば、第1の実施形態と同様の効果が得られると共に、素子分離溝7およびトレンチ11を密閉状態に形成して剥離工程で内部圧力の増大によって剥離現象を助長するようにすることにより、イオン注入工程S3におけるドーズ量を第1の実施形態の場合に比べて低く設定することができ、これによって剥離を確実に実施できるようにすると共に、イオン注入に要する時間を短縮することができるようになる。

【0045】(第3の実施形態)図7および図8は本発明の第3の実施形態を示すもので、第1の実施形態と異なるところは、半導体基板としてのSOI基板12(図8(c)参照)の製造工程上では熱酸化工程P2(図1参照)において素子分離溝7内にも形成した酸化膜5を設けないようにして以後に工程を実施すると共に、支持基板に対する酸化膜形成工程P4を実施しないようにしたところである。

【0046】すなわち、素子分離溝形成工程P1においては、半導体層用基板である単結晶シリコン基板6に対して(図7(a)参照)、まず、酸化膜13を表面に形成し(同図(b)参照)、この酸化膜13にフォトリソグラフィ処理によって素子分離溝7用の窓部13aを形成し、この後、フォトレジストを除去した状態で、この酸化膜13をエッチングのマスク部材として利用することにより剥離用溝としての素子分離溝7を形成する(同図(c)参照)。

【0047】次の、イオン注入層形成工程P3においては(第1の実施形態における熱酸化工程P2は実施しない)、同じく酸化膜13をそのままマスク部材として使用し、素子分離溝7内の底面部のみに所定深さ寸法に選択的にイオン注入層9を形成する(同図(d)参照)。次に、第1の実施形態と異なり、支持基板としての単結晶シリコン基板2に対しては、酸化膜3を形成せず、そのまま貼り合わせ工程P5に移行する。そして、貼り合わせ工程P5(図8(a)参照)、剥離工程P6(同図(b)参照)および研磨工程P7(同図(c)参照)を経てSOI基板11を得ることができるようになる。

【0048】なお、この実施形態においては、単結晶シリコン基板6に対して形成した酸化膜13をイオン注入層形成工程P3の後にもそのまま残して貼り合わせ時に使用するようにしているが、この酸化膜13を貼り合わせ工程P5に先だってエッチング処理して剥離し、代わりに支持基板である単結晶シリコン基板2に対して酸化膜形成工程P4を実施して酸化膜3を形成するようにすることもできる。さらには、酸化膜13を残した状態で、且つ単結晶シリコン基板2に対して酸化膜3を形成する酸化膜形成工程P4を実施するようにしても良い。

【0049】そして、上述のようにして形成されたSOI基板11は、半導体層である単結晶シリコン膜4が素子分離溝7によって島状に分離配置された状態とされているが、この後、必要に応じて隣接する単結晶シリコン層4の間に介在する凹状の領域を酸化膜などの絶縁膜または多結晶シリコンなどを埋め込むことにより、全体の表面を平坦な状態に形成することが行なわれる。

【0050】(第4の実施形態)図9ないし図12は本発明の第4の実施形態を示すもので、第2の実施形態と異なるところは、半導体基板としてのSOI基板14(図10(c)参照)の製造工程では、トレンチ形成工程S1が異なると共に、熱酸化工程S4を行なわないようにしたところである。

【0051】すなわち、トレンチ形成工程S1では、フォトリソグラフィ処理によって浅い溝11aを形成するようにエッチングを行なう。この場合の溝11aの深さ寸法は、イオン注入層9の深さよりも深い寸法であれば良いので、例えば0.5 μ m程度あれば良い(図9(a)参照)。次に、素子分離溝形成工程S2では、同じくフォトリソグラフィ処理によってフォトレジスト8を素子分離溝7を形成するための形状にパターンニングする。この後、そのフォトレジストをマスク部材としてエッチング処理を行なうことにより素子分離溝7を形成すると共にトレンチ11を形成する(同図(b)参照)。

【0052】これは、同じエッチングレートでエッチングを進行させることにより、溝11aが形成されている部分がそのまま同じ段差形状でエッチングが行なわれることによりトレンチ11を形成するものである。なお、このようにしてトレンチ11を形成するので、あらかじめ

めトレンチ11のみを形成しておく場合に比べてフォトリソグラフィ処理が問題なく実施できる利点がある。

【0053】この後、イオン注入層形成工程S3を実施してイオン注入層9、9aを形成し（同図（c）参照）、マスク部材であるフォトリソグロ8を剥離する。この後には、この実施形態においては熱酸化工程は実施しない。そして、以後、酸化膜形成工程S5、貼り合わせ工程S6（図10（a）参照）、剥離工程S6（同図（b）参照）および研磨工程S7（同図（c）参照）を実施することによりSOI基板14を得ることができる。

【0054】さて、上述のようにして形成されたSOI基板14では、半導体層である単結晶シリコン膜4が素子分離溝7によって島状に分離配置された状態とされているが、この後、必要に応じて隣接する単結晶シリコン層4の間に介在する凹状の領域を酸化膜などの絶縁膜または多結晶シリコンなどを埋め込むことにより、全体の表面を平坦な状態に形成することが行なわれる。

【0055】図11はその製造工程を示すもので、以下、図12も参照してその製造工程について説明する。すなわち、製造工程としては、この後、酸化膜形成工程Q1、多結晶シリコン形成工程Q2、研磨工程Q3および酸化膜除去工程Q4を実施することにより平坦化された半導体基板としてのSOI基板15を得る（図12（d）参照）。

【0056】まず、酸化膜形成工程Q1では、熱酸化などの方法により表面に酸化膜16を形成し（図12（a）参照）、続く多結晶シリコン形成工程Q2にて、この上に多結晶シリコン膜17をCVD法などの方法により堆積形成する（同図（b）参照）。この場合、多結晶シリコン膜17の膜厚は、素子分離溝7の部分を埋める程度の膜厚に設定する必要がある。

【0057】次に、研磨工程Q3において、基板表面を研磨して多結晶シリコン膜17を研磨してゆき、研磨面が酸化膜16の表面に達すると、酸化膜16が研磨速度が遅いことから研磨ストップとしての機能を果たし、これによってこの部分まで研磨が進行すると研磨処理を停止する（同図（c）参照）。この後、酸化膜除去工程Q4において、表面に露出している酸化膜16をフッ酸系のエッチング液等を用いて選択的にエッチング除去する

ことにより、単結晶シリコン膜4の表面を露出させた状態に形成し、これによってSOI基板15を得る。

【0058】本発明は、上記実施形態にのみ限定されるものではなく、次のように変形また拡張できる。素子分離溝に限らず、複数素子を1単位とした領域に分離する分離溝として形成したり、あるいはチップ単位の領域に分離する分離溝として形成するなど、適宜の剥離用溝として形成することができる。また、必要に応じて剥離専用の剥離用溝として形成することも可能である。

【0059】半導体基板1、11として得られたものについて、素子分離溝7に対応する部分に残る凹部を、後工程で酸化膜を充填するようにして埋めて、平坦な面に形成することもできる。支持基板としての単結晶シリコン基板2への酸化膜3の形成は必要に応じて行なえば良い。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す概略的な工程説明図

【図2】各工程における模式的断面図（その1）

【図3】各工程における模式的断面図（その2）

【図4】本発明の第2の実施形態を示す図1相当図

【図5】各工程における模式的断面図（その1）

【図6】各工程における模式的断面図（その2）

【図7】本発明の第3の実施形態を示す図2相当図

【図8】図3相当図

【図9】本発明の第4の実施形態を示す各工程における図5相当図

【図10】図6相当図

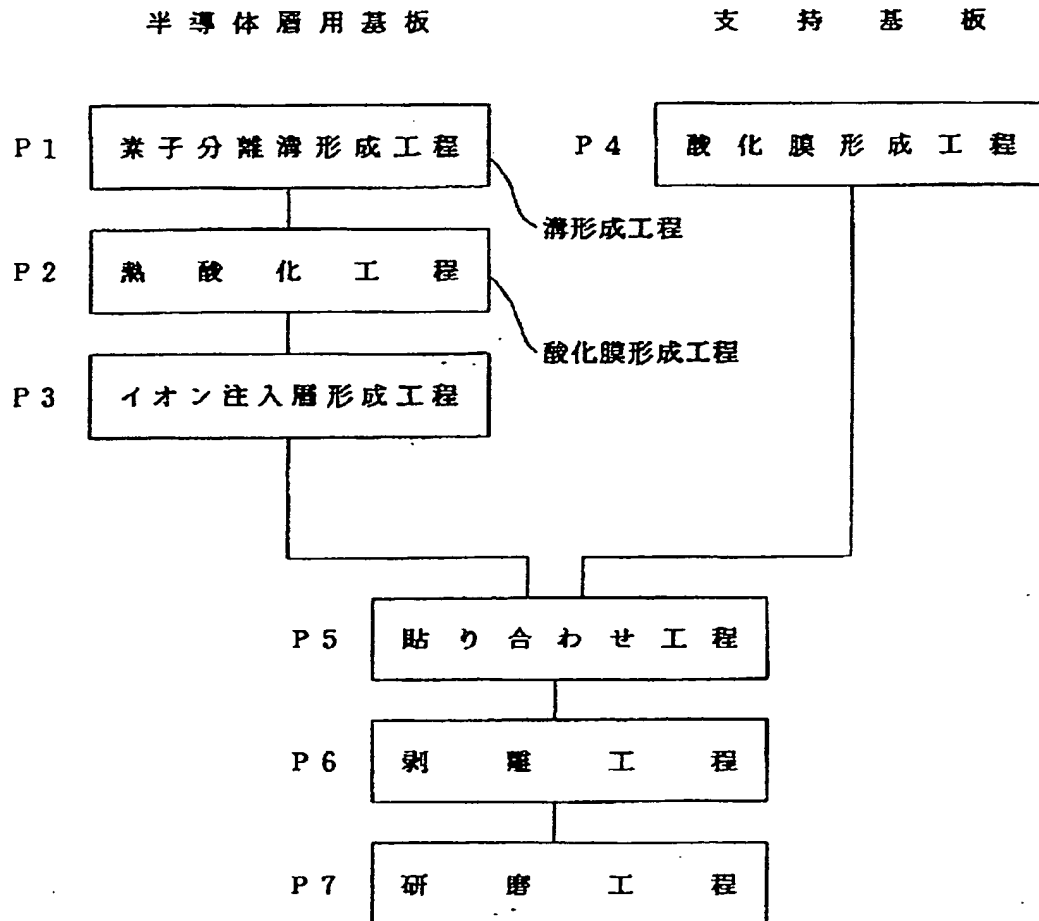
【図11】平坦化処理を行なうための工程図

【図12】各工程の模式的断面図

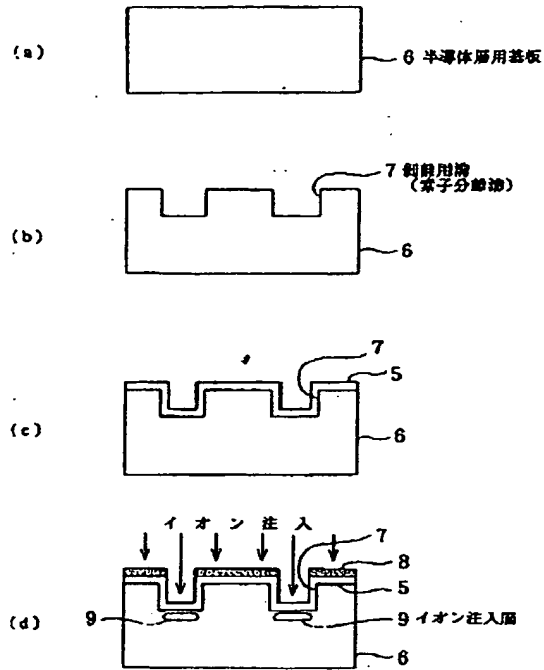
【符号の説明】

1、10、12、14、15はSOI基板（半導体基板）、2は単結晶シリコン基板（支持基板）、3は酸化膜、4は単結晶シリコン層（半導体層）、5は酸化膜、6は単結晶シリコン基板（半導体層用基板）、7は素子分離溝（剥離用溝）、8はフォトリソグロ（マスク部材）、9はイオン注入層、11はトレンチ、11aは溝、13は酸化膜、16酸化膜、17は多結晶シリコン膜である。

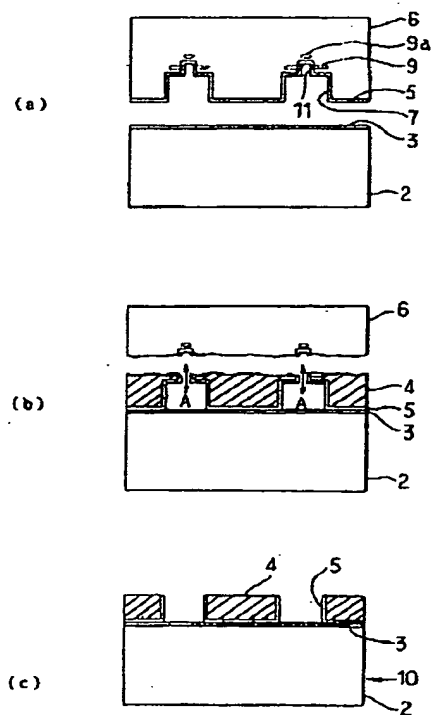
【図1】



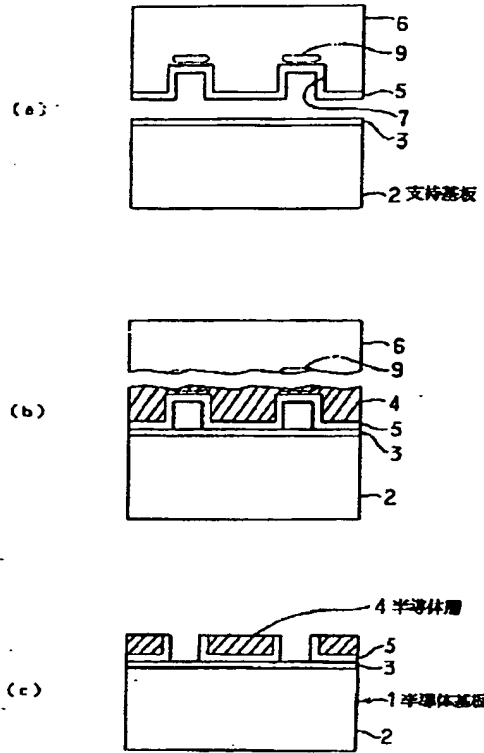
【図2】



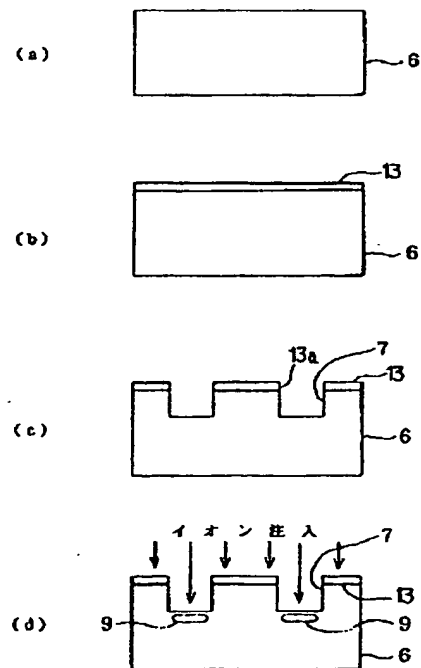
【図6】



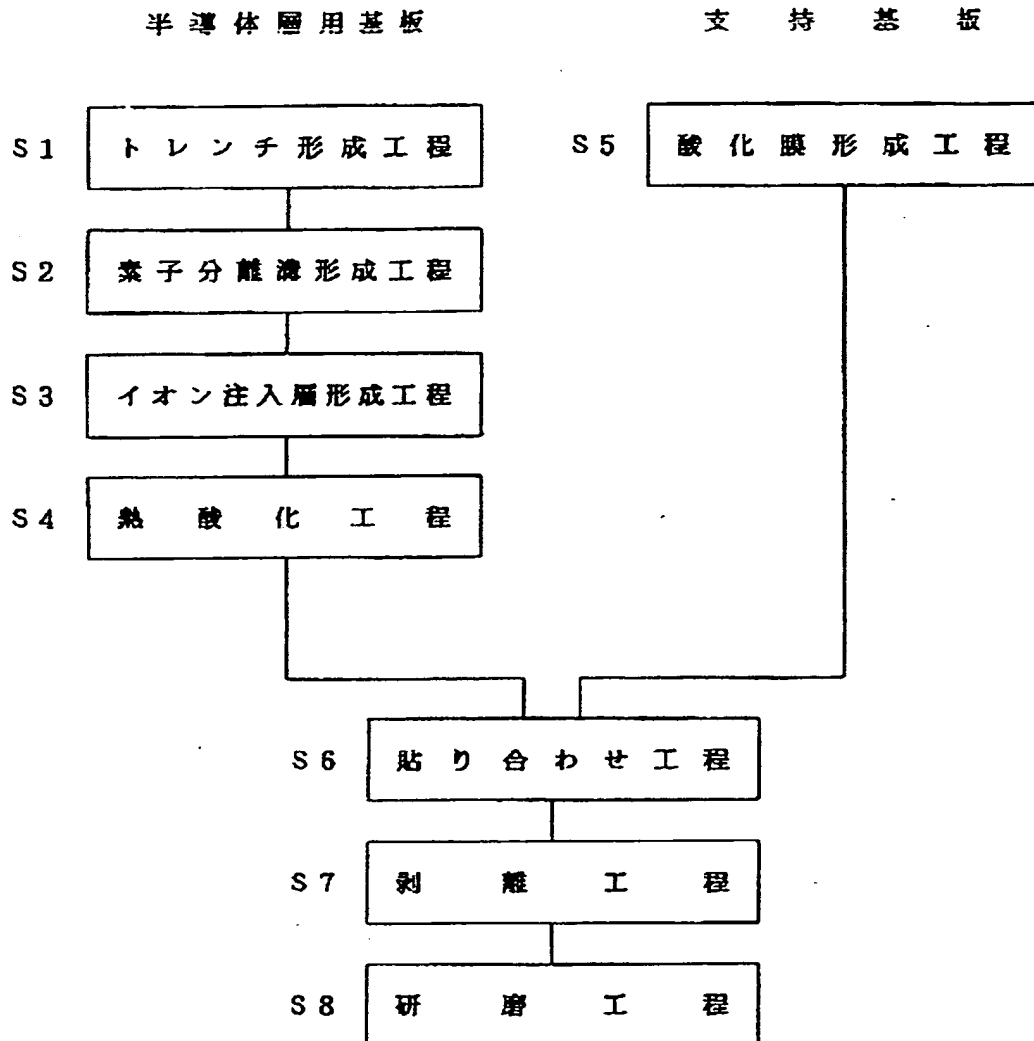
【図3】



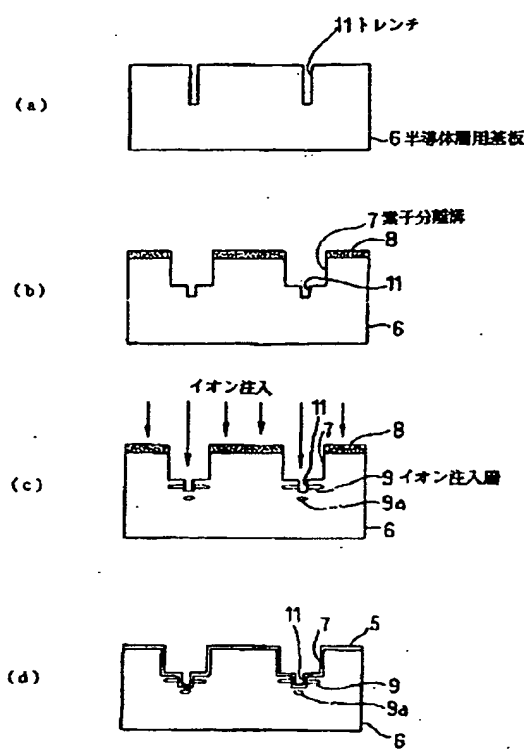
【図7】



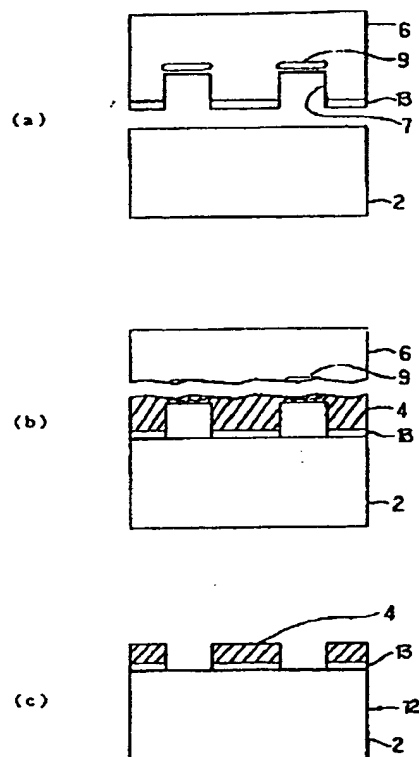
【図4】



【図5】

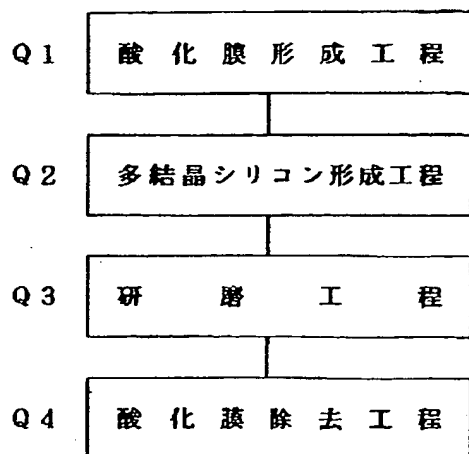


【図8】

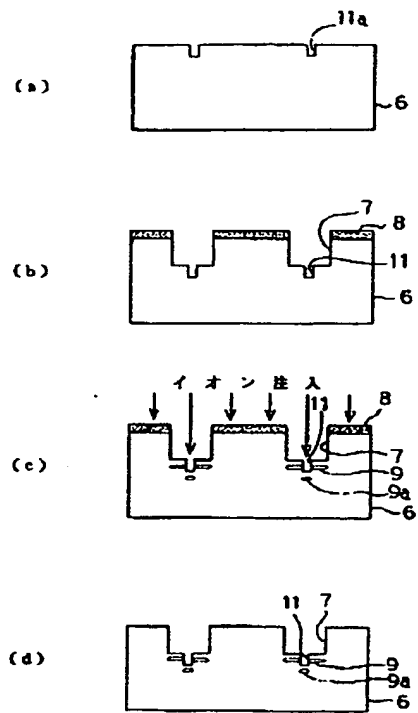


【図11】

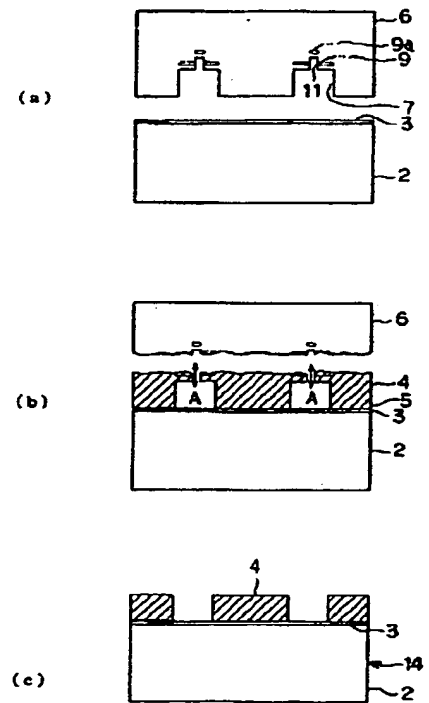
半 導 体 基 板



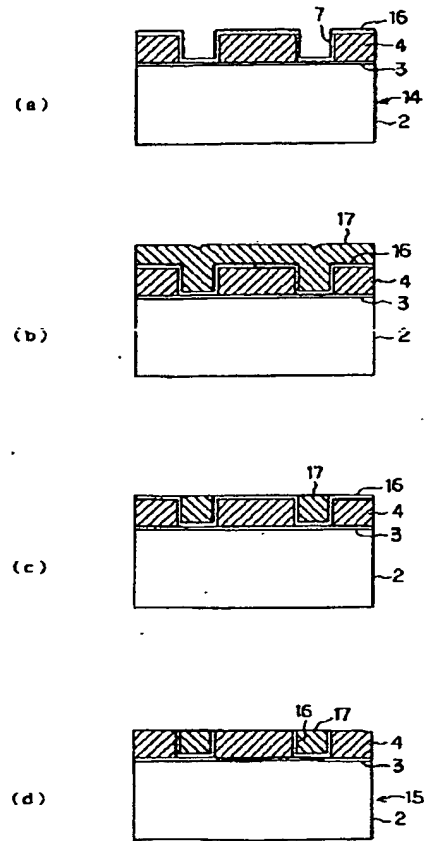
【図9】



【図10】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.